* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1. This document has been translated by computer. So the translation may not reflect the original
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The formation approach [claim 2] of the isolation insulating layer of the semiconductor integrated circuit characterized by to take the process which forms the antioxidizing film which drilled opening in the isolation section, the process which form an oxidation insulating layer by local oxidation of the above-mentioned semi-conductor substrate through opening of this antioxidizing film, and the process which embed an insulating layer in the above-mentioned opening of the above-mentioned antioxidizing film, and to form a separation insulating layer on a semi-conductor substrate by the above-mentioned oxidation insulating layer and the abovementioned pad insulating layer The formation approach of the isolation insulating layer of a semiconductor integrated circuit according to claim 1 that the process which embeds an insulating layer in the above-mentioned opening of the above-mentioned antioxidizing film is characterized by being based on complete covering of an insulating layer, and subsequent etchback.

[Claim 3] The formation approach of the isolation insulating layer of a semiconductor integrated circuit according to claim 1 that the process which embeds an insulating layer in the abovementioned opening of the above-mentioned antioxidizing film is characterized by being based on the liquid phase selection grown method of SiO2.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the formation approach of the isolation insulating layer of a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] in a semiconductor integrated circuit, local thermal oxidation of the semi-conductor substrate front face is carried out separating electrically between the semiconductor devices formed on the common semi-conductor substrate — being the so-called — Many approaches of forming a separation insulating layer by LOCOS (Local Oxidation of Silicon) are taken.

[0003] That is, as a semiconductor integrated circuit shows the example to <u>drawing 6</u>, semiconductor devices, such as an insulated gate field effect transistor (MIS-FET), are formed in the component formation section of the silicon Si semi-conductor substrate 1. The gate section by which the gate electrode 3 by polycrystalline silicon was formed on this through the gate insulating layer 2 is formed, and, as for this MIS-FET, it comes to form the source or the drain field (henceforth S/D region) 4 in those both sides on both sides of this gate section. And in the isolation section between the component formation section, it mentioned above beforehand. Of LOCOS, the isolation insulating layer 5 by the thick oxide film is formed.

[0004] In such a semiconductor integrated circuit, the wiring layers 6, such as connection between components or electrode derivation, are formed ranging over this isolation insulating—layer 5 top. However, in this configuration, when a big electrical potential difference which exceeds 10V is impressed, the threshold electrical potential difference Vth in this isolation insulating layer 5 becomes the wiring layer 6 formed ranging over this isolation insulating layer 5 with a problem. That is, the channel of parasitism occurring in an interface with the isolation insulating layer 5 of the front face of the semi-conductor substrate 1 under this wiring layer 6, and generating leak between components through this poses a problem.

[0005] Forming the channel stopper field 7 which doped an impurity, the high high impurity concentration, for example, p mold, of a conductivity type, which is different from S / D region 4 of a semiconductor device in the configuration of <u>drawing 6</u> in order to avoid generating of such a parasitism channel is performed.

[0006] However, if spacing between components is narrowed in connection with the densification of the component in an integrated circuit in this case, when this high-concentration channel stopper field 7 approaches the field 4, for example, S/D region, of a component, a pressure-proof fall will be caused, or the impurity to the component field 4, for example, S/D region, from this channel stopper field 7 will ooze, and ** will pose a problem.

[0007] Then, although thickness of the isolation insulating layer 5 will be made into size, since the cross section of the edge of the isolation insulating layer 5 becomes steep [the so-called BAZU beak 8 which makes the shape of a beak] in this case, distortion is generated and the effect of the property on a semiconductor device poses a problem.

[0008] Moreover, although taking the structure of embedding an insulating layer for a slot 9 by ******* at the semi-conductor substrate 1 is also considered as shown in drawing 7 in order

to obtain sufficient thickness in the isolation insulating layer 5, the problem that the semi-conductor section (the part a surrounded and shown with a broken line) which adjoins the shoulder of an insulating layer 5 becomes steep in this case, and concentration of electric field here causes the fall of a large next door and pressure-proofing arises.

[0009] When based on LOCOS, it becomes impossible moreover, to let thickness of the isolation insulating layer 5 be size enough, if the width of face of the isolation section is narrowed by the densification of a component and width of face of the isolation insulating layer 5 is narrow—ized. [0010] That is, it follows on making the width of face small, the following (several 1) formula is followed, and LOCOS is the maximum thickness TOxmax of an oxide film. It is thought that it decreases.

[0011]

[Equation 1] TOxmax =Tb1 root(erf (W/4 root(Dy t)))

Here, Tb1 is the thickness at the time of making it oxidize extensively, and W. Width of face Dy of the oxide film by LOCOS A diffusion constant and t are time amount. [0012]

[Problem(s) to be Solved by the Invention] the isolation insulating layer of the isolation section in the semiconductor integrated circuit which mentioned this invention above — narrow — and as it can be made sufficiently thick, it enables it to aim at the densification of a component, and improvement in the threshold electrical potential difference Vth of a parasitism channel [0013]

[Means for Solving the Problem] As are shown in <u>drawing 1</u> A and the 1st this invention is indicated to be the process which forms the antioxidizing film 11 which drilled opening 11W in the isolation section on the semi-conductor substrate 1 to <u>drawing 1</u> B As it is indicated in <u>drawing 2</u> A as the process which performs local oxidation of the semi-conductor substrate 1, and forms the oxidation insulating layer 12 through opening 11W of this antioxidizing film 11 In opening 11W of the antioxidizing film 11, the process which embeds an insulating layer 13 is taken and the isolation insulating layer 14 is formed by the oxidation insulating layer 12 and the pad insulating layer 13.

[0014] The 2nd this invention is based on the etchback which indicates the process which embeds an insulating layer 13 in opening 11W of the antioxidizing film 11 to be complete covering of the insulating layer shown in drawing 1 C to subsequent drawing 2 A.

[0015] About the process which embeds an insulating layer 13 in opening 11W of the antioxidizing film 11, the 3rd this invention is SiO2, as shown in <u>drawing 3</u>. It is based on a liquid phase selection grown method.

[0016] In addition, when the whole is constituted by the semi-conductor here, as for a semi-conductor substrate, a semi-conductor layer carries out the designation also of the substrate by the configuration by which it was formed on an insulation or a half-insulating substrate from the first here.

[0017]

[Function] According to the above-mentioned this invention approach, since the isolation insulating layer 14 is formed by the laminating of the oxidation insulating layer 12 and an insulating layer 13, the thickness of this isolation insulating layer 14 can be formed substantial sufficiently thickly, and the threshold electrical potential difference Vth of a front face [in / therefore / here] can be raised.

[0018] Moreover, according to this invention approach, although substantial thickness of the thickness of the isolation insulating layer 14 is made to size, since the oxidation insulating layer 12 by LOCOS can form sufficiently narrowly the width of face of this since it can stop comparatively thinly, it can achieve the densification of a component in a semiconductor integrated circuit.

[0019] Moreover, according to above-mentioned this invention, form the isolation insulating layer 14 by the laminating of the oxidation insulating layer 12 and an insulating layer 13, but Since it can form with the mask 11 with same these oxidation insulating layer 12 and insulating layer 13, i.e., the antioxidizing film, both can form so that it may certainly overlap mutually by self align (self aryne). In spite of taking the laminated structure of the oxidation insulating layer 12 and an

insulating layer 13, the complicated activity of formation of the mask for forming each oxidation insulating layer 12 and an insulating layer 13, alignment, etc. and the fall of dependability are avoidable.

[0020]

[Example] The example of this invention approach is explained to a detail with reference to a drawing. Also in this invention approach, as <u>drawing 6</u> explained, an isolation insulating layer is alternatively formed in the isolation section of the semi-conductor substrate 1 which constitutes an integrated circuit.

[0021] It is SiO2 with a thickness of 50nm extensively [as first shown in drawing 1 A] on the front face of the silicon semi-conductor substrate 1 with which a semiconductor integrated circuit is constituted. The pad insulating layer 15 by the layer is formed by thermal oxidation. and Si3 N4 which has the property which intercepts, the thickness, for example, the 500nm oxygen, which constitutes the antioxidizing film 11 on this, a layer — CVD (chemical vapor growth) — it forms extensively by law and opening 11W are drilled by RIE (reactive ion etching) on the isolation section after that, for example, a photolithography. The RIE conditions at this time are SiO2 of the pad insulating layer 15. And Si3 N4 of the antioxidizing film 11 It selects on the conditions which receive, show high etching nature and show the high selectivity which is hard to etch to Si of a substrate 1. At this time, etching removal also of the pad connection layer 15 is carried out in opening 11W.

[0022] then, the photoresist used for the photolithography as shown in <u>drawing 1</u> B — removing — Si3 N4 the antioxidizing film 11 to twist — a mask — carrying out — thermal oxidation processing — namely, — LOCOS — carrying out — opening 11W — leading — the isolation section — for example, oxide film SiO2 with a thickness of 400nm The oxidation insulating layer 12 to depend is formed.

[0023] Next, as shown in <u>drawing 1</u> C, on the whole, opening 11W are embedded at least on a substrate 1, for example, it is SiO2. The insulating material layer 23 to depend is formed in 1500nm in thickness with a CVD method.

[0024] As shown in <u>drawing 2</u> A, etchback is carried out by the anisotropic etching by RIE (reactive ion etching). This etchback is Si3 N4. When the antioxidizing film 11 to twist is exposed, that etching is suspended, and it forms by doing in this way so that the insulating layer 13 which consists of a part of insulating material layer 23 may be embedded in opening 11W of the antioxidizing film 11. Thus, the isolation insulating layer 14 is formed by the oxidation insulating layer 12 and the insulating layer 13.

[0025] As shown in <u>drawing 2</u> B, if needed, etching removal is carried out with 150-degree C hot phosphoric acid, and the pad insulating layer 15 further left behind to the bottom of the antioxidizing film 11 with HF solution is removed for the antioxidizing film 11. If it does in this way, the isolation insulating layer 14 which the laminating of the oxidation insulating layer 12 and the insulating layer 13 is carried out, and makes total of the thickness of both layers substantial thickness will be restrictively formed in the isolation section.

[0026] Then, it is $A HREF="/Tokujitu/tjitemdrw.ipdl?N0000=239&N0500=1 E_N/;?8<?8<7 like usual.$

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

07-307383

(43)Date of publication of application: 21.11.1995

(51)Int.CI.

H01L 21/76

H01L 21/316

(21)Application number: 06-097691

(71)Applicant: SONY CORP

(22)Date of filing:

11.05.1994

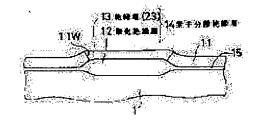
(72)Inventor: TSUCHIYA YOSHIKO

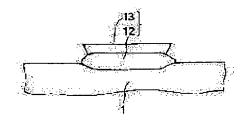
(54) FORMATION OF ELEMENT ISOLATION INSULATING LAYER IN SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To contrive an increase in the density of an element and the improvement of the threshold voltage of the parasitic channel of the element by a method wherein an element isolation insulating layer on an element isolation part is formed in such a way as to be able to make narrow and fully thick.

CONSTITUTION: An element isolation insulating layer 14 is formed of an insulating oxide layer 12 and a buried insulating layer 13 adopting a process for forming an oxidation preventive film 11 with an opening 11 W, which is bored in an element isolation part, on a semiconductor substrate 1, a process, in which a local oxidation of the substrate 1 is performed through the opening 11 W formed in this film 11 to form the insulating oxide layer 12, and a process for burrying the insulating layer 13 in the opening 11 W formed in the film 11.





LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection].

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

07-307383

(43)Date of publication of application: 21.11.1995

(51)Int.CI.

H01L 21/76 H01L 21/316

(21)Application number: 06-097691

(71)Applicant: SONY CORP

(22)Date of filing:

11.05.1994

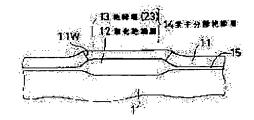
(72)Inventor: TSUCHIYA YOSHIKO

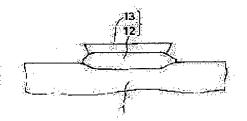
(54) FORMATION OF ELEMENT ISOLATION INSULATING LAYER IN SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To contrive an increase in the density of an element and the improvement of the threshold voltage of the parasitic channel of the element by a method wherein an element isolation insulating layer on an element isolation part is formed in such a way as to be able to make narrow and fully thick.

CONSTITUTION: An element isolation insulating layer 14 is formed of an insulating oxide layer 12 and a buried insulating layer 13 adopting a process for forming an oxidation preventive film 11 with an opening 11 W, which is bored in an element isolation part, on a semiconductor substrate 1, a process, in which a local oxidation of the substrate 1 is performed through the opening 11 W formed in this film 11 to form the insulating oxide layer 12, and a process for burrying the insulating layer 13 in the opening 11 W formed in the film 11.





LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-307383

(43)公開日 平成7年(1995)11月21日

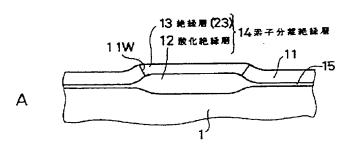
HOIL 21/76 M 21/94 A 審査請求 未請求 請求項の数3 OL (21)出願番号 特願平6-97691 (71)出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35 (72)発明者 土屋 賀子 東京都品川区北品川6丁目7番35	•
審査請求 未請求 請求項の数3 OL (21)出願番号 特願平6-97691 (71)出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35	A .
(21)出願番号 特願平6-97691 (71)出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35	
(22)出願日 平成6年(1994)5月11日 東京都品川区北品川6丁目7番35 (72)発明者 土屋 賀子	請求項の数3 〇L (全6頁)
(22)出願日 平成6年(1994)5月11日 東京都品川区北品川6丁目7番35 (72)発明者 土屋 賀子	
東京都品川区北品川 6 丁目 7 番 3 5	2子
	品川区北品川6丁目7番35号 ソ
二一株式会社内	式会社内 ·
(74)代理人 弁理士 松隈 秀盛	松隈 秀盛

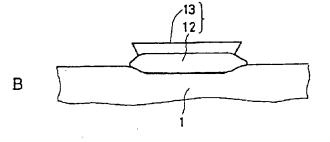
(54) 【発明の名称】半導体集積回路の素子分離絶縁層の形成方法

(57)【要約】

【目的】 素子分離部の素子分離絶縁層を幅狭にかつ充分厚くすることができるようにして、素子の高密度化と寄生チャンネルのしきい値電圧V...の向上をはかることができるようにする。

【構成】 半導体基板1上に、素子分離部に開口11Wを穿設した酸化防止膜11を形成する工程と、この酸化防止膜11の開口11Wを通じて、半導体基板1の局部的酸化を行って酸化絶縁層12を形成する工程と、酸化防止膜11の開口11W内に絶縁層13を埋込む工程とを採って酸化絶縁層12と埋込み絶縁層13によって素子分雕絶縁層14を形成する。





一実施例の工程図(その2)

【特許請求の範囲】

【請求項1】 半導体基板上に、素子分離部に開口を穿設した酸化防止膜を形成する工程と、

1

該酸化防止膜の開口を通じて、上記半導体基板の局部的 酸化によって酸化絶縁層を形成する工程と、

上記酸化防止膜の上記開口内に絶縁層を埋込む工程とを 採って上記酸化絶縁層と上記埋込み絶縁層とによって分 離絶縁層を形成することを特徴とする半導体集積回路の 素子分離絶縁層の形成方法

【請求項2】 上記酸化防止膜の上記開口内に絶縁層を埋込む工程が、絶縁層の全面被着と、その後のエッチバックによることを特徴とする請求項1に記載の半導体集積回路の素子分離絶縁層の形成方法。

【請求項3】 上記酸化防止膜の上記開口内に絶縁層を埋込む工程が、SiO,の液相選択成長法によることを特徴とする請求項1に記載の半導体集積回路の素子分離 絶縁層の形成方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、半導体集積回路の素子 分離絶緑層の形成方法に係わる。

[0002]

【従来の技術】半導体集積回路において、共通の半導体基板上に形成した半導体素子間を電気的に分離するのに半導体基板表面を局部的熱酸化するいわゆる LOCOS (Lo cal Oxidation of Silicon) によって分離絶縁層を形成する方法が多く採られる。

【0003】すなわち、半導体集積回路は、例えば図6にその一例を示すように、例えばシリコンSi半導体基板1の素子形成部に、例えば絶縁ゲート型電界効果トランジスタ(MISーFET)等の半導体素子が形成される。このMISーFETは、例えばゲート絶縁層2を介してこれの上に例えば多結晶シリコンによるゲート電極3が形成されたゲート部が形成され、このゲート部を挟んでその両側にソースないしはドレイン領域(以下S/D領域という)4が形成されてなる。そして、その素子形成部間の素子分離部には、あらかじめ上述した10008によって、厚い酸化膜による素子分離絶縁層5が形成されるものである。

【0004】このような半導体集積回路においては、この素子分離絶縁層5上を跨いで素子間の接続、あるいは電極導出等の配線層6が形成される。ところがこの構成において、この素子分離絶縁層5を跨いで形成される配線層6に例えば10Vを越えるような大きな電圧が印加される場合、この素子分離絶縁層5におけるしきい値電圧V..が問題となる。すなわちこの配線層6下の半導体基板1の表面の素子分離絶縁層5との界面に寄生のチャネルが発生し、これを通じて素子間のリークを発生することが問題となってくる。

【0005】このような寄生チャネルの発生を回避する

ために、例えば図6の構成において、半導体素子のS/ D領域4と異なる導電型の高不純物濃度の例えばp型の 不純物をドープしたチャネルストッパ領域7を形成する ことが行われている。

【0006】しかしながら、この場合、集積回路における素子の高密度化に伴って素子間の間隔が狭められてくるとこの高濃度のチャネルストッパ領域7が、素子の領域例えばS/D領域4に近接することによって耐圧の低下を来すとか、またこのチャネルストッパ領域7からの素子領域例えばS/D領域4への不純物の滲み出しが問題となってくる。

【0007】そこで、素子分離絶縁層5の厚さを大とすることになるが、この場合は素子分離絶縁層5の縁部の断面が嘴状をなすいわゆるバーズピーク8が急峻となることから、歪を発生し、半導体素子の特性への影響が問題となってくる。

【0008】また、素子分離絶縁層5において充分な膜厚を得るために、図7に示すように、半導体基板1に溝9を堀り込んで絶縁層を埋込むという構造を採ることも考えられるが、この場合は、絶縁層5の肩部に隣接する半導体部(破線で囲んで示す部分a)が急峻となってここでの電界の集中が大となり、耐圧の低下を来すという問題が生じる。

【0009】また、素子の高密度化によって、素子分離 部の幅が狭められ、素子分離絶縁層5の幅が狭小化され ると、1000%による場合素子分離絶縁層5の厚さを充分 大とすることができなくなる。

【0010】すなわち、 LOCOSはその幅を小さくするに伴い下記(数1)の式に従って酸化膜の最大膜厚T $_{\text{0.....}}$ が減少すると考えられている。

[0011]

【数 1】 T_0 ,... $= T_1$, $\sqrt{erf(W/4\sqrt{D, i})}$ ここで、 T_1 , は全面的に酸化させたときの膜厚、Wは L000Sによる酸化膜の幅D, は拡散定数、 t は時間である。

[0012]

【発明が解決しようとする課題】本発明は、上述した半導体集積回路における素子分離部の素子分離絶縁層を幅狭にかつ充分厚くすることができるようにして、素子の高密度化と寄生チャンネルのしきい値電圧V...の向上をはかることができるようにする。

[0013]

【課題を解決するための手段】第1の本発明は、図1Aに示すように、半導体基板1上に、素子分離部に開口11Wを穿設した酸化防止膜11を形成する工程と、図1Bに示すように、この酸化防止膜11の開口11Wを通じて、半導体基板1の局部的酸化を行って酸化絶縁層12を形成する工程と、図2Aに示すように、酸化防止膜11の開口11W内に絶縁層13を埋込む工程とを採って酸化絶縁層12と埋込み絶縁層13によって素子分離

2.0

絶縁層14を形成する。

【0014】第2の本発明は、酸化防止膜11の開口11W内に絶縁層13を埋込む工程を、図1Cに示す絶縁層の全面被着と、その後の図2Aに示すエッチバックによる。

【0015】第3の本発明は、酸化防止膜11の閉口1 1W内に絶縁層13を埋込む工程を、図3に示すように SiO,の液相選択成長法による。

【0016】尚、ここに、半導体基板とはその全体が半 導体によって構成される場合はもとより、例えば絶縁な いしは半絶縁基板上に半導体層が形成された構成による 基板をも指称するものである。

[0017]

【作用】上述の本発明方法によれば、酸化絶縁層12と 絶縁層13との積層によって素子分離絶縁層14を形成 するものであるので、この素子分離絶縁層14の厚さを 実質的に充分厚く形成することができるものであり、し たがってここにおける表面のしきい値電圧V...を高める ことができる。

【0018】また、本発明方法によれば、素子分離絶縁層14の厚さの実質的厚さを大にできるものであるが、L0COSによる酸化絶縁層12は比較的薄く抑えることができることから、これの幅は充分狭小に形成できることから、半導体集積回路において素子の高密度化をはかることができる。

【0019】また、上述の本発明によれば、酸化絶縁層 12と絶縁層13との積層によって素子分離絶縁層14 を形成するものであるが、これら酸化絶縁層12と絶縁層13とは同一のマスクすなわち酸化防止膜11によって形成できるので両者は自己整合(セルフアライン)に 30 よって確実に互いに重なり合うように形成でき、酸化絶縁層12と絶縁層13とを形成するためのず、各酸化絶縁層12と絶縁層13とを形成するためのマスクの形成、位置合せ等の煩雑な作業、信頼性の低下を回避できるものである。

[0020]

【実施例】本発明方法の実施例を図面を参照して詳細に 説明する。本発明方法においても、図6で説明したよう に、集積回路を構成する半導体基板1の素子分離部に素 子分離絶縁層を選択的に形成するものである。

【0021】先ず図1Aに示すように、半導体集積回路が構成される例えばシリコン半導体基板1の表面に全面的に例えば厚さ50nmのSiO、層によるバッド絶縁層15を熱酸化によって形成する。そしてこれの上に酸化防止膜11を構成する厚さ例えば500nmの酸素を遮断する特性を有する例えばSi,N、層をCVD(化学的気相成長)法によって全面的に形成し、その後例えばフォトリソグラフィによって、素子分離部上に、開口11WをR1E(反応性イオンエッチング)によって穿設する。このときのRIE条件は、バッド絶縁層15の

SiO, および酸化防止膜11のSi, N, に対して高いエッチング性を示し、基板1のSiに対してエッチングしにくい高い選択性を示す条件に選定する。このとき、開口11Wにおいて、パッド接続層15もエッチング除去される。

【0022】その後、図1Bに示すように、フォトリソグラフィに用いたフォトレジストを除去し、Si,Nによる酸化防止膜11をマスクとして熱酸化処理すなわち 1000101011 Wを通じて素子分離部に例えば厚さ1011 Mを通じて素子分離部に例えば厚さ1011 による酸化絶縁層12を形成する。

【0023】次に、図1 Cに示すように、基板1 上に全体的に少なくとも開口11 Wを埋込んで例えばSiO,による絶縁材料層23 を厚さ1500 nmに CV D法によって形成する。

【0024】図2Aに示すように、例えばRIE(反応性イオンエッチング)による異方性エッチングによってエッチバックする。このエッチバックは、Si, N. による酸化防止膜11が露出した時点でそのエッチングを停止するものであり、このようにすることによって酸化防止膜11の開口11W内に絶縁材料層23の一部からなる絶縁層13を埋込むように形成する。このようにして酸化絶縁層12と絶縁層13とによって素子分離絶縁層14を形成する。

【0025】図2Bに示すように、必要に応じて酸化防止膜11を例えば150℃のホットりん酸によってエッチング除去し、更にHF溶液によって酸化防止膜11下に残されたパッド絶縁層15を除去する。このようにすると酸化絶縁層12と絶縁層13とが積層され、両層の厚さの総和を実質的厚さとする素子分離絶縁層14が素子分離部に限定的に形成される。

【0026】その後、通常のように、図6で説明したと同様に素子分離絶縁層14(図6において素子分離絶縁層5に相当)によって分離された素子形成領域にMIS-FET等の回路素子を形成する。

【0027】図1および図2に示した実施例においては、絶縁層13の形成を図1Cで説明したように、CVDによる厚い絶縁材料層23の形成によって構成した場合であるが、このような絶縁材料層23の形成およびエッチパックの方法を採らずに、図3に示すように、絶縁層13を、酸化防止膜11を構成する例えばSi,N、と、酸化絶縁層12のSiO,とに対して選択性を有する液相選択成長法によって形成し、Si,N、の酸化絶縁層12上には堆積させずに、SiO,による酸化絶縁層12上にのみSiO,による絶縁層13を直接的に堆積形成する方法を採ることもできる。

【0028】また、上述した各例においては、パッド絶縁層15上に酸化防止膜11が形成された構成を採った場合であるが、図4に示すように、酸化防止膜11下に 50 このSi, N, による酸化防止膜11が基板1に与える 5

応力を更に緩衝する目的等をもって例えば多結晶シリコンによる介在層16を配置させる構成を採る分離絶縁層を構成する場合に本発明方法を適用することもできる。すなわち、この場合においては、図4Aに示すように、介在層16上に前述したと同様の方法によって絶縁分離部に開口11Wを形成した酸化防止膜11を被着形成し、この開口11W内に、上述したように例えばSi〇・の形成およびエッチバックあるいは液相選択成長法によって絶縁層12の形成を行う。

【0029】その後、図4Bに示すように、酸化防止膜 10 11、更に必要に応じて多結晶シリコンによる介在層 1 6 およびパッド絶縁層 15 の除去を行う。

【0030】また、ある場合は、LOCOSに先立って例えば酸化防止膜11をマスクとしてあるいはこれの上に形成されるフォトレジストをマスクとして開口11Wを通じて素子分離絶縁層14の形成部すなわち絶縁分離部に溝17を化学的エッチング等によって形成し、この溝17においてLOCOSによる酸化絶縁層12の形成を行うこともできる。

【0031】上述した本発明方法によって形成した素子分離絶縁層14は、酸化絶縁層12と絶縁層13との積層によって形成するものであるので、この素子分離絶縁層14の厚さを実質的に充分厚く形成することができるものであり、したがってここにおける表面のしきい値電圧V」を高めることができる。

【0032】尚、上述の本発明方法によって形成する素子分離絶縁層14下には、図示しないが必要に応じてチャネルストッパ領域を形成することができる。しかしながら、この場合のチャネルストッパ領域は、上述したように素子分離絶縁層14の厚さが大でしきい値電圧V」が高められていることからその不純物濃度はさほど高くする必要はなく、したがって冒頭に述べたように、このチャネルストッパ領域を設けることによる不純物の半導体素子への影響を回避できる。

[0033]

【発明の効果】上述の本発明方法によれば、酸化絶縁層12と絶縁層13との積層によって素子分離絶縁層14を形成するものであるので、この素子分離絶縁層14の厚さを実質的に充分厚く形成することができるものであり、したがってここにおける表面のしきい値電圧V…を高めることができる。

【0034】このように、素子分離絶縁層14の実質的 厚さを大とすることができることによってそのしきい値 電圧が高められるので、これの下にチャネルストッパ領 域を形成することを回避するか、比較的低濃度のチャネ ルストッパ領域を形成できるので、これよりの不純物の 滲み出しによる半導体素子への影響を回避できる。

【0035】また、本発明方法によれば、素子分離絶縁層14の厚さの実質的厚さを大にできるものであるが、L0COSによる酸化絶縁層12は比較的薄く抑えることができることから、これの幅は充分狭小に形成できて、半導体集積回路において素子の高密度化をはかることができる。

【0036】また、上述の本発明によれば、酸化絶縁層12と絶縁層13との積層によって素子分離絶縁層14を形成するものであるが、これら酸化絶縁層12と絶縁層13とは同一のマスクすなわち酸化防止膜11によって形成できるので両者は自己整合(セルフアライン)によって確実に互いに重なり合うように形成でき、酸化絶縁層12と絶縁層13とを形成するためのマスクの形成、位置合せ等の煩雑な作業、信頼性の低下を回避できるものである。

[0037]

【図面の簡単な説明】

【図1】本発明による半導体集積回路の素子分離絶縁層の形成方法の一実施例の製造工程図(その1)である。Aは、その一工程における断面図である。Bは、その一工程における断面図である。Cは、その一工程における断面図である。

【図2】本発明による半導体集積回路の素子分離絶縁層の形成方法の同様の実施例の製造工程図(その2)である。Aは、その一工程における断面図である。Aは、その一工程における断面図である。

【図3】本発明方法の他の例による一製造工程の断面図30 である。

【図4】本発明方法の他の一実施例の製造工程図である。Aは、その一工程における断面図である。Bは、その一工程における断面図である。

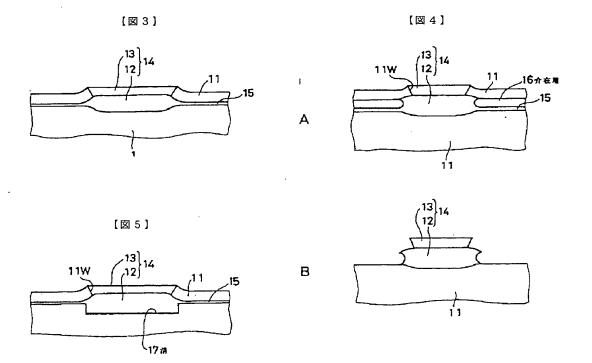
【図 5 】本発明方法の更に他の例による一製造工程の断面図である。

【図 6 】従来方法によって形成した分離絶縁層を用いた 半導体集積回路の要部の断面図である。

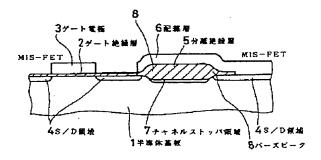
【図7】従来方法による素子分離絶縁層の断面図である。

40 【符号の説明】

- 1 半導体基板
- 11 酸化防止膜
- 11W 開口
- 12 酸化絶縁層
- 13 絶縁層
- 14 案子分離絶縁層



【図6】



従来方法による素子分離部の断面図

[図7]

